

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



2000円 (4,000円)

印

優先権主張

(1975年6月23日米国出願第589,333号)

特許願

(特許法第30条ただし書  
の規定による特許出願)

昭和51年6月23日

特許庁長官 片山石郎殿

1. 発明の名称 ビット列の間の同一性を検出する回路

2. 特許請求の範囲に記載された発明の数 2

3. 発明者

住所 アメリカ合衆国、ニュージャージー 07090 ユニオン、  
ウエストフィールド、カンタベリー ロード 239  
氏名 チャールズ アルフォニース フォン ロエスゲン

4. 特許出願人

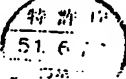
住所 アメリカ合衆国 ニューヨーク、ニューヨーク、  
10007 ブロードウェイ 195  
ウエスタン エレクトリック  
カンパニー インコーポレーテッド  
氏名 代表者 ダブリュ、エム、ケイン  
国籍 アメリカ合衆国

5. 代理人

郵便番号 100  
東京都千代田区丸の内3の2の3・富士ビル510号室  
代理人 岡部 正 夫 (外2名)  
(6444)  
電話 (03) 5561 (P.F.) - 1265

6. 添付書類の目録

(1) 明細書 1 通  
(2) 願書副本 1 通  
(3) 図面 1 通



### 明 細 書

1. 発明の名称

ビット列の間の同一性を検出する回路

2. 特許請求の範囲

1. ビット列どうしの間の同一性を検出する回路において、該回路は；

一方のビット列の連続するビットの各々を複数個のビット位置のビットと比較する手段と、ここで前記ビット位置の各々のビットは前記一方のビット列の各ビット、他方のビット列の連続したビット位置の各ビットとに対応するものとし；

前記複数個のビット位置のうちの1個を除く全てのビット位置のビットと比較不一致があつたことを検出する手段と；

を含むことを特徴とするビット列間の同一性を検出する回路。

2. 特許請求の範囲第1項記載のビット列間の同一性を検出する回路において、該回路

① 日本国特許庁

## 公開特許公報

① 特開昭 52 - 3305

④ 公開日 昭52.(1977) 1.11

② 特願昭 51-73407

② 出願日 昭51.(1976) 6.23

審査請求 未請求 (全8頁)

庁内整理番号

6446 56  
6942 53

⑤ 日本分類

9612851  
9683C1

⑤ Int. Cl<sup>3</sup>

H04L 7/08  
H04J 3/06

は

前記他方のビット列の連続するビットを蓄積装置の連続する蓄積位置内に繰返し書き込み前記複数個のビット位置を前記蓄積装置内で循環させる手段と；

前記蓄積装置の各蓄積位置に相当する記憶位置を有し、前記一方のビット列のビットと前記蓄積装置の蓄積位置との比較不一致表示を記憶しかつ不一致表示を前記一方のビット列の1ビットにつき1位置ずつ順次循環する記憶装置と；

を含むことを特徴とするビット列間の同一性を検出する回路。

3. 特許請求の範囲第2項記載のビット列の間の同一性を検出する回路において、

前記記憶位置のうちの所定の1つを除くすべてが不一致表示を含むことを検出する手段を具備することを特徴とするビット列の間の同一性を検出する回路。

4. 特許請求の範囲第2項あるいは第3項い

ずれにか記載の検出回路において、該記憶装置は各記憶位置のよみとり入力にゲートを含み、各記憶位置のゲートの一方の入力は比較不一致表示を循環するように循環的順序で前の記憶位置の出力に接続されていることを特徴とするビット列の間の同一性を検出する回路。

5. 特許請求の範囲第1項乃至第4項のいずれにか記載の検出回路において、該複数個のビット位置のすべてに不一致があることを検出して誤りを表示する手段を含むことを特徴とするビット列の間の同一性を検出する回路。
6. 複数個のビットの流れの同期をとる回路において、該回路は第1のビットの流れの中の1ビットを第2のビットの流れの複数個のビットと比較し、その間の不一致信号を発生する手段と；  
複数個のレジスタを有する記憶装置

式では通常各ワード中には固定した数のビットがある。頻々所定数のワードでデータのフレームを形成することがある。そのためデジタルデータの呼び方はそのデータがシステム中のどこに存在するかで変わつてくることが多い。このような意味上のわかりにくさを除くために、ここではもつと一般的な表音である「ビットの流れ」ということばを使つて、システム中のどこにビットが存在する場合でも複数個のビットの意味を表わすことにする。

ある型の同期装置ではビットの流れの中に予め固定された同期ビットのシーケンスを挿入することが知られている。同期装置は予め固定されたシーケンスの存在の有無を検出してそれに応じて同期がとられているかあるいはとれていないかを判定する。

第2の型の同期装置では2つのビットの流れを比較する装置を含んでいる。周知の比較ビット流同期装置では、通常一方のビットの流れをバッファに蓄積し、第2のビットの流

と；

該比較手段に反応して該ビット不一致信号を該記憶装置の対応する第1のレジスタを通してその第2のレジスタに延長する手段と、該ビット不一致信号が該レジスタの内の一つを除くすべてに延長されたときにこれを判定する該延長手段に反応する手段とを含む回路。

### 3. 発明の詳細な説明

本発明は2つのビット列の間の同一性を識別する回路に関する。

時分割多重方式のようなデジタルデータ通信方式では一般的に、システムによつて処理されるデジタルデータのビット同期を実現するための装置をシステム中の種々の点に配置した装置を含んでいる。デジタルデータは一般に複数個の情報ワードで形成され、ワードはシステム中の単位として取扱われる多数のビットを含んでいる。与えられる形

れをビット毎に第1のビットの流れと比較する。所定の数の連続したビットが一致したときに、同期が達成されたと判定される。さもなければ同期はとれていないことになる。

時分割デジタル通信方式における動作監視回路はそれぞれの入力および出力の2進信号を検査するために各々の多重化およびその逆の操作を行なう多重分離装置に接続されている。周知の監視回路は二つの2進信号の間のビット同期を達成するための計数装置を含んでおり、所定数の連続したビットが一致すればビット同期がとれているものとする。しかしながら、周知の監視回路はビット同期をとるのに必要な時間の点で能率が悪い。

本発明に従えば、ビット列の間の一致を検出する回路が提供される。これには一方のビット列の連続したビットを複数個のビット位置において比較する手段であつて、各位置のビットは進行的に複数個のビットに対応し、該一方ビット列の各ビットに1個が対応し、

他方のビット列の連続したビット位置がこれと比較されるものが含まれている。さらに1ビットを除いてすべてのビット位置のビットに不一致があつたことを示す手段が設けられている。

本発明の有利な一実施例においては、この回路は第1のビットの流れの複数のビットを第2のビットの流れの中の単一のビットと比較する手段が含まれている。一致あるいは不一致比較信号は比較手段によつて与えられて付勢回路を通して複数のレジスタを有するメモリーに与えられる。各々の不一致信号に反応して、メモリー・レジスタの一方がセットされる。第2のビットの流れの中の連続したビットは同様に第1のビットの流れと個々に比較され、1つを除いてすべてのメモリー・レジスタがセットされると、同期が達成されたことになる。さもなければ、同期が達成されていないことが示される。同期がとれると、ビットの流れの比較が続けられて、そ

うしてA2ビット流の各ビットはA1ビット流のNビットと同時に比較される。負論理を利用して、比較器20の出力は第1図の例では循環メモリー40の出力と比較器付勢回路30によつてNANDがとられる。比較器付勢回路30の出力は合さつて信号制御回路80に延長され、分けられて循環メモリー40のそれぞれのメモリー・レジスタに入れられる。レジスタは比較器付勢回路30の所定の出力に従つて個々にセットされる。1つを除いてすべてのメモリー・レジスタがセットされたときに、同期がとれたことになり、制御回路80によつて同期状態端子160に同期状態信号が与えられる。さもなければ、同期装置100は同期がとれていないことを検出して、制御回路80を通して端子160に同期外れ信号を与える。その後でビット流端子に雑音が生じてビットの流れの中のビットが反転するような不運な条件の結果として付勢回路30の出力がメモリー・レジスタの残りのものを

の後に生ずるビットの不一致を検出して、複数のビットの流れの間の誤りを示す。

以下本発明の有利な一実施例について図面を参照して説明を行なう。

一般的に言つて第1図に示した回路は複数の同様なビットの流れの間の同期を達成するように動作する。第1図を参照すればA1ビット流と呼ぶ第1のビットの流れが同期装置100のA1ビット流入力端子110に直列に与えられる。A1クロック端子130に与えられるビットクロック・パルス信号に反応して、A1ビット流は順次ストア10に与えられる。こゝでそのNビットが蓄積される。A1ビット流のNビットはそこから並列に比較器20の第1の入力にそれぞれ与えられる。その後同期付勢信号が同期装置100を初期化するように同期付勢端子150に与えられる。A2ビット流と呼ぶ第2のビットの流れが、A2ビット流端子120に与えられ、比較器20のすべてのそれぞれの第2の入力に与えられる。

セットするようなこともある。これに反応して、誤り端子170に誤り信号が与えられる。

この回路によれば、既知の手段より早く複数のビット流の間で同期が達成される。くわしく言えば、順次ストア10に蓄積されるA1ビットの数が増加すると、すなわちNが増大すると、同期を達成するために比較する必要があるA2ビットの数は減少する。例えば、ストア10がA1ビット流の2ビットしか蓄積していなければ、すなわちもしN=2であれば、2つのビット流の間の同期を達成するには平均して3個のA2ビットをそれと比較すればよい。さらに別の例で言えば、もしN=4であれば4個のA2ビットを比較する必要がある、もしN=8であれば5個のA2ビットを比較する必要がある、もしN=16であれば6個のA2ビットを比較する必要がある。

A1ビット流のNビットが端子110に与えられると、端子130に与えられるA1クロツ

ク・パルスに反応してN分割カウンタ9を経由して順次ストア10のフリップフロツプ11-1乃至11-Nに蓄積される。ひとつのA1ビットは特定のフリップフロツプにNクロツク・パルスの間隔まり、その後ビットの流れの中でN+1ビット位置後に生ずる他のA1ビットがそのフリップフロツプに入るときに消される。これらのフリップフロツプによつて与えられる空間的な各位置に記憶されたビットは、ビット位置の特定の循環パターンを形成し、各位置のビットはA1ビット流の中の連続した時間位置のビットに進行的に対応する。蓄積されたA1ビットは順次ストア10からリード12-1乃至12-Nを通して比較器20の排他的ORゲート21-1乃至21-Nのそれぞれの第1の入力に与えられる。次に同期付勢端子150に与えられた初期化用の同期付勢信号がリード89を通し、NOR論理ゲート86を通して信号制御回路80のフリップフロツプ88のクリアCLR入力に与えられる。付勢

信号はまたゲート86によつてリード8070を通して、循環メモリー40のメモリー・レジスタ71-1乃至71-Nのクリア入力に与えられる。

A2ビット流の各ビットは、端子120に与えられ、同時に排他的NORゲート21-1乃至21-Nのすべての夫々第2の入力に与えられる。これによつてA2ビット流の単一のビットはA1ビット流のNビットのすべてと同時に比較されることになる。リード23-1乃至23-Nのそれぞれの排他的ORゲートの出力は、A2ビットと一致したA1ビットがある、それに論理"1"信号を生ずるようになつてゐる。さもなければ、この例では論理"0"信号が生じて、夫々のA1ビットとA2ビットの間に不一致があることを示す。

ここで一致操作によつてはA1A2の両ビット流の間の同期に関してあまり多くの位置情報はとれないことを知るのは役に立つ。それにもかかわらず、従来の同期方式では所定

数の連続したビットが一致したときに同期がとれるものとしていた。これに対して、不一致はもつと豊富な位置情報を提供し、ビットの流れが同期していないことを示す。従つて、以下の詳細な説明はビットの一致ではなく、ビットの不一致を見ると、より理解しやすい。

さらに説明を続ければ、比較器20の出力は比較器付勢回路30のNANDゲート31-1乃至31-Nのそれぞれの第1の入力に接続されている。循環メモリー40の出力は以下に説明する循環的方法で次の隣接したメモリー・レジスタを制御するようNANDゲートのそれぞれの第2の入力に延長される。比較器付勢回路30の出力はリード36-1乃至36-Nを通して共通に制御回路80に与えられ、またセレクト・スイッチ60を通して、リード67-1乃至67-Nを通し、メモリー・レジスタ71-1乃至71-Nの夫々のD入力に与えられる。従つて循環メモリー40によつて比較器付勢回路30のNANDゲートの夫々の第2

の入力に与えられる論理信号にかかわらず、論理的"0"の不一致信号が生ずると、夫々のメモリー・レジスタはセットされることになる。詳しく言えば、不一致信号は比較器20から付勢回路30の夫々のNANDゲートを通して延長され、こゝでこれが反転されて、夫々のメモリー・レジスタに与えられる。この不一致信号と端子140におけるA2クロツク・パルスとに反応して、メモリー・レジスタは対応するリード76-1乃至76-Nに出力の論理的"1"信号を与える。これによつて次の隣接した比較器付勢回路30のNANDゲートは次のA2ビットが比較されたときに強制的に不一致信号を生ずる。従つてメモリー・レジスタは、その比較器が次にビットの一致を表示してもセットされることになる。1個を除いてすべてのメモリー・レジスタがセットされたときに同期が達成されたことになる。

同期がとれた後には同期状態信号を提供するのが普通である。しかしながら、同期が遅

成された直後にはこの信号を与えなくてもよい。この代りに、同期信号に遅延を与えてその後で提供するようにしてもよいのである。こゝに示す特定の装置は多数のパラメータ例えば、(1)同期達成とその信号の発生、(2)同期達成の直後に信号を生ずるための検出信号装置のコスト等の間で種々の設計のかねあいのパラメータがある。

第1図において、同期状態信号はセットされていない所定のメモリー・レジスタ71-(N-1)を除くすべてのメモリー・レジスタがセットされ、ある条件が制御回路80によつて次に述べるように検出されるまで遅延される。第1図に注目して、リード36-1乃至36-(N-1)は一緒になつて制御回路80のNANDゲート81の夫々の入力と、セクタ・スイッチ60のスイッチ61-1乃至61-(N-1)とに接続される。またリード36-Nは一緒になつてNORゲート83、インバータ82およびセクタ・スイッチ61-Nに接続されている。

路30の出力に反応して検出され、これによつてスイッチ60による分離がなければ、端子160に同期状態信号が与えられた後ですべてのメモリー・レジスタをセットする。これによつてフリップフロップ87によつて誤り信号が誤り端子170に与えられる。

これに対して、複数個のビット流の間に同期が達成された場合にはただちに同期状態信号が制御回路80によつて与えられる。詳しく述べれば、図面には示していないが、制御回路80の複数個の論理ゲート81および83はメモリー・レジスタの内の1つを除くすべてがセットされたときにこれを検出するよう構成されている。各ゲート83の出力は図示していないORゲートを通してフリップフロップ88のD入力に延びている。これによつて同期が達成されるとただちに同期状態信号が与えられ、メモリー・レジスタの内の所定のひとつを除くすべてがセットされるまで遅延されることはない。

NANDゲート81の出力はNORゲート83の第2の入力とNORゲート84および85の夫々第1の入力とに接続されている。メモリー・レジスタ71-(N-1)を除くすべてがセットされると、これに反応して同期状態信号が同期状態端子160に対して、フリップフロップ88によつて提供される。これと同時に、モード信号と呼ぶ同期状態信号の補数が、フリップフロップ88からリード8060を通してセクタ・スイッチ60に延びる。このモード信号に反応して、メモリー・レジスタの出力はセクタ・スイッチ60を通して次に隣接したメモリー・レジスタの入力に延長される。これによつてメモリー・レジスタの入力は付勢回路30の出力から分離される。この後にA1およびA2ビット流は同期が失なわれることに似た不運な状態の発生を監視するために監視される。同期失敗の状態はNANDゲート81インバータ82、NORゲート84およびフリップフロップ87によつて符勢回

次に前述した循環の方式について説明しよう。循環メモリー40はインバータ50、セクタ・スイッチ60およびメモリー・レジスタ70を含んでいる。循環メモリー40への入力はリード36-1乃至36-Nを通して、それぞれのセクタ・スイッチ61-1乃至61-Nに与えられる。各セクタ・スイッチの論理は通常のもので、上述したモード信号の存在の有無に応じて、メモリー・レジスタへの入力を選択的に切替える。セクタ・スイッチの出力はリード67-1乃至67-Nのそれぞれを通して対応するメモリー・レジスタのD入力に接続されている。セクタ・スイッチの出力は端子140に与えられるA2クロック信号に反応するメモリー・レジスタを通して延長されるのである。端子140はメモリー・レジスタのすなわちクロック入力に共通に接続されている。メモリー・レジスタの出力はそれぞれのリード76-1乃至76-Nを通して、インバータ51-1乃至51-Nのそれぞれに接

1 統されている。各インバータは次に循環メモ  
 リー出力リード53-1乃至53-Nを経由して  
 比較器付勢回路30のそれぞれ次の隣接した  
 ものに接続されている。メモリー・レジスタ  
 5 の接続に当つては、例えばレジスタ71-1は、  
 リード76-1を通し、インバータ51-1を通  
 して、リード53-1を経由して、NANDゲー  
 ト31-(1+1)のそれぞれの第2の入力に接  
 続されている。一循する配線としては、メモ  
 10 リー・レジスタは元に戻つてNANDゲー  
 ト31-1に接続されており、循環メモリー40  
 の出力を付勢回路30に延長するようになつ  
 ている。

本発明の原理の理解をさらに助けるために、  
 15 第1図の実施例の選択された動作信号の例を  
 第3A乃至第3F図に例示する。第1のビッ  
 トの流れの例として第2図に示すビットの流  
 れがA1ビット流端子110に与えられる。順  
 次ストア10は8ビットを蓄積できると仮定  
 20 すれば、すなわちN=8であれば、第2図の

1 勢信号に反応して論理"0"にリセットされ  
 たそれぞれのメモリー・レジスタの出力はイン  
 バータ50によつて反転されて、比較器付  
 勢回路30それぞれの第2の入力に与えられ  
 5 る論理"1"信号となる。付勢回路30の出  
 力はリード36-1乃至36-8に延長される。  
 フリツブフロツプ11-1, 11-3, 11-4,  
 11-7および11-8に蓄積されたA1ビット  
 は端子120のA2ビットの論理"0"とは不  
 10 一致であるから、メモリー・レジスタ71-1,  
 71-3, 71-4, 71-7および71-8は端子  
 140はA2ビットのクロツク・パルスが与え  
 られると、セットされる。これによつて次の  
 A2ビットが比較されたときに、比較器20  
 15 がそれぞれのビットの一致を示したとしても  
 次に隣接した付勢回路30のNANDゲートは  
 それに対応するメモリー・レジスタに強制的  
 に不一致信号を与えることになる。

第3B図に示すように、A1ビット流のビ  
 20 ット9が次にA1ビット流端子110に与えら

ビット番号1乃至8のビットがそれぞれ、フ  
 リツブフロツプ11-1乃至11-8に蓄積され、  
 リード12-1乃至12-8を通して比較器20  
 のそれぞれ第1の入力に延長される。この後  
 で、この例では論理"0"である初期化信号  
 が同期付勢端子150を通して与えられて、フ  
 リツブフロツプ88およびメモリー・レジ  
 スタ71-1乃至71-8をクリアする。第1のビ  
 ット流とは同様であるが、これとは同期外れ  
 を生じている第2のビット流がA2ビット流  
 端子120に直列に与えられる。第2図で論理  
 "0"を示されているビット6が現在端子  
 120に与えられているA2ビット流のビット  
 であるとしよう。

第3A図はこれに反応した順次ストア10、  
 比較器20、比較器付勢回路30およびイン  
 バータ50の出力を示している。詳しく述べ  
 れば、比較器20の出力はリード23-1乃至  
 23-8を通して比較器付勢回路30のそれぞ  
 れの第1の入力に延長される。初期化同期付

れると、フリツブフロツプ11-1の内容を書  
 き替え、リード12-1上の信号を変化する。  
 A2ビット流のビット7が次に端子120に与  
 えられるビットである。これに反応して、  
 71-3および71-7を除くすべてのメモリー  
 ・レジスタがセットされる。しかしながら、  
 本発明の原理に従う同期を達成するために、  
 1つを除くすべてのメモリー・レジスタがセ  
 ットされることが必要である。従つて第3C  
 図に示すようにフリツブフロツプ11-2の内  
 容をA1ビット流のビット10で書き替えて  
 上述のプロセスがくりかえされる。これに反  
 応してレジスタ71-4および71-8を除くす  
 べてのメモリー・レジスタがセットされる。  
 再び同期回路100の中の選択されたリードに  
 現われる次の信号を示す第3図のようなプロ  
 セスが行なわれる。最後に第3B図に示すよ  
 うに同期が達成される。すなわちメモリー・  
 レジスタ71-2を除くすべてのメモリー・レ  
 ジスタがセットされる。しかしながら、第1

図に示した信号制御回路を用いれば、同期状態信号はたとえ同期が達成された後でも、まだ同期状態端子 160 には与えられない。その代りに A 1 ビット流のさらに 5 ビットを受信して、第 3 F 図の最初の例のようになつたときに、制御回路 80 は所定のひとつ、すなわちメモリー・レジスタ 71-7 を除くすべてのメモリー・レジスタがセットされたことを検出する。これに反応して、同期状態信号が同期状態端子 160 に与えられる。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例の説明図、

第 2 図は第 1 図の実施例の動作を説明するビットの流れの図、

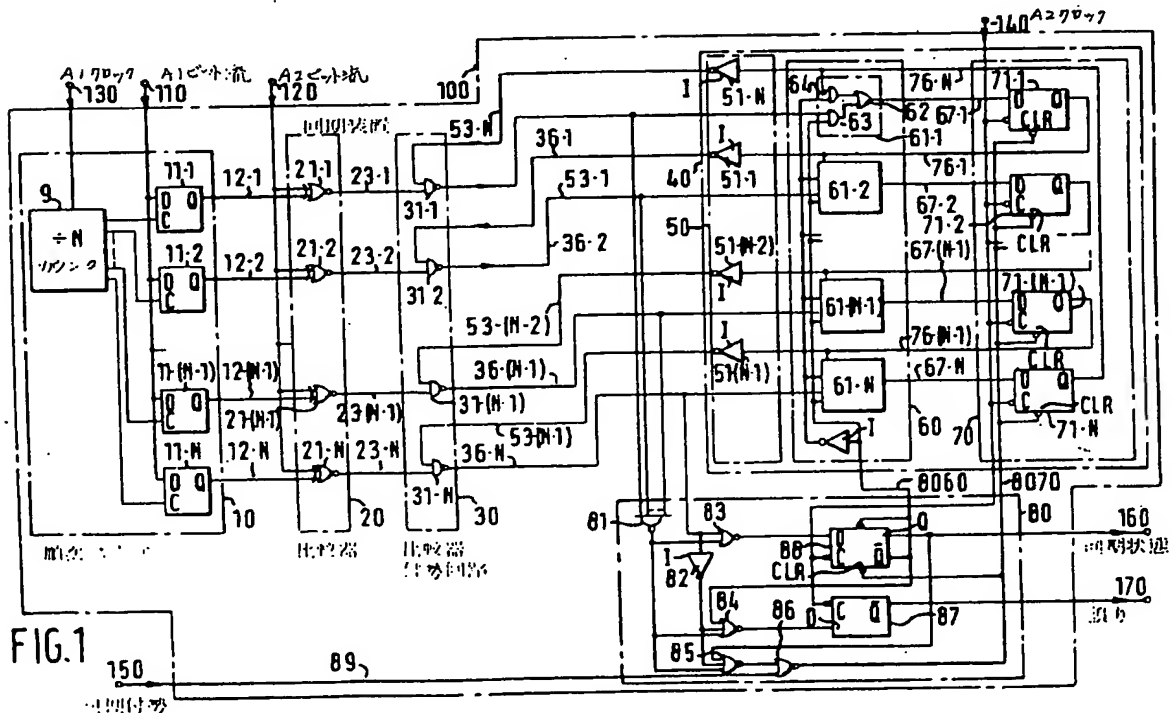
第 3 A 図乃至第 3 F 図は第 2 図のビットの流れがそれに与えられたときの第 1 図の実施例の中での選定された論理信号の様子を示す図である。

#### 〔主要部分の符号の説明〕

請求範囲 請求範囲中の名称 符号 明細書中の名称

1	比較する手段	20	比較器
	1 個を除くすべてのビット位置に不一致があることを検出する手段	80	信号制御回路
2	蓄積装置	11	順次ストア
	書き込む手段	9	N カウンタ
	記憶装置	40	循環メモリー
3	所定の 1 つを除くすべてが不一致表示を含むことを検出する手段	80	信号制御回路
4	記憶位置のゲート	30	比較器付勢回路
5	誤りを表示する手段 80		信号制御回路
6	不一致信号を発生する手段	20	比較器
	記憶装置	40	循環メモリー

出願人 ウェスタン エレクトリック  
カムパニー インコーポレーテッド  
代理人 岡 部 正 夫  
安 井 幸 一  
栗 林 賢 一





ポイント番号	1	2	3	4	5	6	7	8	9	10	11	12	13
ポイントの流れ	1	0	1	1	0	0	1	1	0	1	0	1	1

FIG. 2

漢字・かな	リ - ト	リ - フ
0	12-8 23-8 36- 53-1	-1 -2 -3 -4 -5 -6 -7 -8 1 0 1 1 0 0 1 1 0 1 0 0 1 1 0 0 1 0 1 0 0 1 1 0 0 1 0 0 1 1 0 0

FIG.3A

$\frac{1}{2} \log \frac{1}{2} (1 + 2 \cos \frac{2\pi}{n})$	$\eta$	$\eta$	$\eta$	$\eta$	$\eta$	$\eta$	$\eta$
1	12-1	12-8	0	1	1	0	1
	23-1	23-8	0	1	7	0	1
	36-1	36-8	1	0	1	1	0
	53-1	53-8	0	1	0	0	1

FIG. 3B

年次( ) ( ) ( )	年次	7	8	9	0	1	2	3	4	5	6	7	8
	12-1	12-6	0	1	1	1	0	0	1	1			
	23-1	23-8	0	1	1	1	0	0	1	1			
1	35-1	35-8	1	1	1	0	1	1	1	1			
	53-1	53-8	0	0	0	1	0	0	1	0			

FIG. 3C

選手(120)名	得点	7-12月の得点
	12-1 12-6 0 1 0 1 0 0 1 1	-1 -2 -3 -4 -5 -6 -7 -8
	2-1 2-3 1 0 1 0 1 1 0 0	
0	3-1 3-5 0 1 1 1 0 1 1 1	
	5-1 5-3 1 0 0 0 1 0 0 0	

FIG. 3D

選手(名前)と 2ポイント	得点	順位
1	12-1 12-8 0 1 0 1 0 0 1 1	-1 -2 -3 -4 -5 -6 -7 -8
	23-1 23-8 0 1 0 1 0 0 1 1	
	36-1 36-8 1 0 1 1 1 1 1 1	
	53-1 53-8 1 0 1 0 1 0 0 0 0	

FIG. 3E

端平(120)の 対子	リ	ト	リ・ト・ニ・ミ・フ
0	12-1	12-8	0 1 0 1 1 0 1 1 1
	23-1	23-8	1 0 1 0 0 1 0 0 0
	36-1	36-8	1 1 0 1 1 1 1 1 1
	53-1	53-8	0 0 0 0 0 0 0 0 0

FIG. 3F

- (4) 委任状および翻訳文 各 1 通  
(5) 優先権主張証明書および翻訳文 各 1 通

## 7. 前記以外の代理人の住所・氏名

〒100  
東京都千代田区丸の内3-2-3.富士ビル510号室  
電話(213)1561~1565

(6655) 井理士・安井幸一

同上

(6459) 井理士 栗 林 貢

上申：本願の「発明の名称」は、委任状および原米国出願に記載の「発明の名称」と相違いたしておりますが、内容同一であります。